Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Новосибирский государственный технический университет»
Кафедра электроники и электротехники

Паспорт зачета

по дисциплине «Программируемые логические матрицы», 1 семестр

1. Методика оценки

Зачет проводится в устной форме, по билетам. В случае дистанционного обучения, зачет проводится в форме теста. Билет состоит из 2 вопросов и формируется по следующему правилу:

- первый вопрос выбирается из диапазона вопросов 1-16;
- второй вопрос из диапазона вопросов 17-30;

Таким образом, проверяется уровень сформированности компетенций и соотнесенных с ними индикаторов, закрепленных за дисциплиной.

На зачете преподаватель вправе задавать студенту уточняющие и дополнительные вопросы из общего перечня (п. 4).

Форма билета для зачета

НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
Факультет РЭФ

Билет № _____
к зачету по дисциплине «Программируемые логические матрицы»

---

1. Цифровые устройства: комбинационные и последовательные логические элементы. Таблицы истинности
2. Программирование ПЛИС. Использование JTAG-порта.

Утверждаю: зав. кафедрой ____ _____ должность, ФИО
(подпись)
(дата)

2. Уровни освоения компетенций и критерии оценки

Ответ на билет (тест) для зачета засчитывается на **продвинутом** уровне, если студент при ответе на вопросы проводит сравнительный комплексный анализ материала, выявляет проблемы, предлагает механизмы их решения, представляет количественные характеристики определенных процессов, приводит конкретные примеры, не допускает ошибок. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, сформированы в полном объеме. Оценка составляет *от* 17 *до* 20 *баллов.*

Ответ на билет (тест) для зачета засчитывается на **базовом** уровне, если студент при ответе

на вопросы формулирует основные понятия, дает характеристику процессов, явлений, проводит анализ причин, условий, способен представить количественные и качественные характеристики процессов. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, содержат несущественные пробелы и сформированы на базовом уровне. Оценка составляет *от 13 до 16 баллов.*

Ответ на билет (тест) для зачета засчитывается на **пороговом** уровне, если студент при ответе на вопросы дает определение основных понятий, может показать причинно-следственные связи явлений. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, содержат пробелы и сформированы на пороговом уровне. Оценка составляет *от 10 до 12 баллов.*

Ответ на билет (тест) для зачета считается **неудовлетворительным**, если студент при ответе на вопросы не дает определений основных понятий, не способен показать причинно-следственные связи явлений. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, не сформированы. Оценка составляет *менее* 10 *баллов.*

3. Шкала оценки

Зачет считается сданным, если сумма баллов по всем заданиям билета составляет от 10 до 20 баллов включительно. Сумма менее 10 баллов признается неудовлетворительным результатом промежуточной аттестации по дисциплине.

В общей оценке по дисциплине баллы за зачет учитываются в соответствии с правилами балльно-рейтинговой системы, установленными в НГТУ.

4. Вопросы к зачету по дисциплине «Программируемые логические матрицы»

1. Цифровые устройства: комбинационные и последовательные логические элементы. Таблицы истинности.
2. Понятие программируемой логической схемы. Особенности ПЛИС, применение. Отличие от микропроцессоров.
3. История развития ПЛИС: технологии программирования интегральных микросхем – метод плавких перемычек, метод наращиваемых перемычек, ППЗУ, СППЗУ, ЭСППЗУ, Flash-технология.
4. Архитектура ПЛИС: статические ОЗУ.
5. Архитектура ПИЛС: логические блоки на мультиплексорах.
6. Архитектура ПЛИС: логические блоки на таблицах соответствия.
7. Архитектура ПЛИС: Таблицы соответствия, распределенное ОЗУ, сдвиговые регистры.
8. Архитектура ПЛИС: логические ячейки фирмы Xilinx.
9. Архитектура ПЛИС: логические элементы компании Altera.
10. Архитектура ПЛИС: конфигурируемы логические блоки CLB и блоки логических массивов LAB.
11. Архитектура ПЛИС: встроенные умножители, сумматоры, блоки умножения с накоплением и др.
12. Архитектура ПЛИС: аппаратные встроенные микропроцессорные ядра.
13. Архитектура ПЛИС: дерево синхронизации и диспетчер синхронизации.
14. Архитектура ПЛИС: ввод-вывод общего назначения.
15. Архитектура ПЛИС: IP – блоки аппаратной и программной интеллектуальной собственности.
16. Ведущие производители ПЛИС (FPGA) и САПР для проектирования на ПЛИС.
17. Программирование ПЛИС. Использование JTAG-порта.
18. Языки описания аппаратного обеспечения: Verilog HDL.

19. Verilog: представление данных в ПЛИС. Типы данных
20. Verilog: Лексемы и ключевые слова.
21. Verilog: операторы – арифметические, логические, отношения, битовые и др.
22. Verilog: операнды – литералы, проводники (wire), регистры (reg), параметры, битовые выборки (bit-select) и наборы битов (part-selects), вызовы функций.
23. Verilog: модули. Объявление модуля, непрерывное присваивание (continuous assignment), реализация модуля, создание экземпляров модулей (module instatiation). Параметризованные модули.
24. Verilog: процедурное присваивание, задержки в присваивании, блокирующие и неблокирующие присваивания. Блоки begin … end.
25. Verilog: циклы for, while, forever, оператор повторения repeat.
26. Verilog: оператор disable, операторы условия и переключатели: if… else if… else, case, casex, casez.
27. Verilog: Синтезируемые и несинутезируемые конструкции языка.
28. Verilog: управление временем (timing control) – контроль задержек, управление событиями оператор wait, предварительная задержка в присваивании (intra-assignment delay).
29. Verilog: процедуры – блоки always и initial.
30. Verilog: функции – объявление, возвращаемое значение, вызов функции, правила составления функций

5. Методика оценки теста

Дистанционный зачет проводится в форме письменного тестирования с использованием электронной информационно-образовательной среда НГТУ (https://dispace.edu.nstu.ru/).

Тестовые задания охватывают все содержание «Программируемые логические матрицы».

Тест состоит из 10 вопросов различного вида и позволяет проверить уровень сформированности компетенций и соотнесенных с ними индикаторов, закрепленных за дисциплиной.

6. Уровни освоения компетенций и критерии оценки

Выполнение теста засчитывается на **продвинутом** уровне, если студент правильно ответил на все вопросы теста, знает определения всех понятий, продемонстрировал способность безошибочно устанавливать последовательность и соответствие между процессами и явлениями, выявлять проблемы, предлагать механизмы их решения, представляет количественные и качественные характеристики определенных процессов и не допускает ошибок при решении задач. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, сформированы в полном объеме. Оценка составляет *от* 17 *до* 20 *баллов.*

Выполнение теста засчитывается на **базовом** уровне, если студент правильно ответил на ⅔ вопросов теста, знает определения основных понятий, продемонстрировал способность устанавливать последовательность и соответствие между процессами и явлениями, правильно характеризует процессы, явления, не допускает существенных ошибок при решении задач. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, содержат несущественные пробелы и сформированы на базовом уровне. Оценка составляет *от 13 до 16 баллов.*

Выполнение теста засчитывается на **пороговом** уровне, если студент правильно ответил от ½ до ⅔ вопросов теста, знает определения основных понятий, продемонстрировал способность устанавливать последовательность и соответствие между процессами и явлениями, при решении задач допускает непринципиальные ошибки, например, вычислительные. Компетенции и

соотнесенные с ними индикаторы, закрепленные за дисциплиной, содержат пробелы и сформированы на пороговом уровне. Оценка составляет *от 10 до 12 баллов.*

Выполнение теста считается **неудовлетворительным**, если студент правильно ответил менее чем на половину вопросов теста, не знает определений понятий, не продемонстрировал способность устанавливать последовательность и соответствие между процессами и явлениями, при решении задач допускает принципиальные ошибки. Компетенции и соотнесенные с ними индикаторы, закрепленные за дисциплиной, не сформированы. Оценка составляет *менее* 10 *баллов.*

7. Шкала оценки

Зачет считается сданным, если сумма баллов по всем заданиям билета составляет от 10 до 20 баллов включительно. Сумма менее 10 баллов признается неудовлетворительным результатом промежуточной аттестации по дисциплине.

В общей оценке по дисциплине баллы за зачет учитываются в соответствии с правилами балльно-рейтинговой системы, установленными в НГТУ.

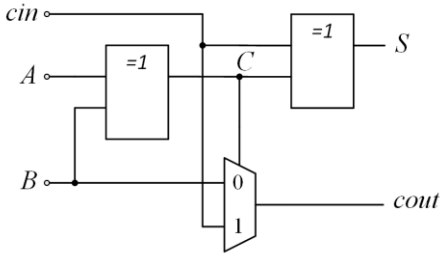
8. Примерный тест для зачета

Утверждаю:
Зав. кафедрой ____ _____ Харитонов С. А.
«____» _____ 20_ г.

Тест

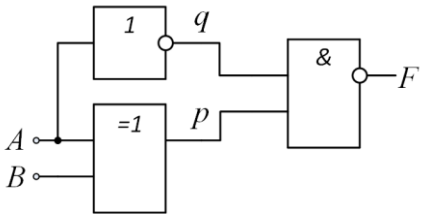
по дисциплине «Программируемые логические матрицы»[1]

Вопрос 1 На рис. приведен фрагмент кода VHDL с описанием логической функции, выполняемой схемой. Пользуясь примером опишите логику работы схемы на рис. 2




```
S <= C xor cin;
cout <= (not C and B) or (C and cin);
C <= A xor B;
```

Пользуясь примером опишите логику работы схемы на рис. 2



Ответ:

```
F <= not (q and p);
```

[1] Правильные ответы выделены жирным шрифтом

```
q <= not A;
p <= A or B;
```

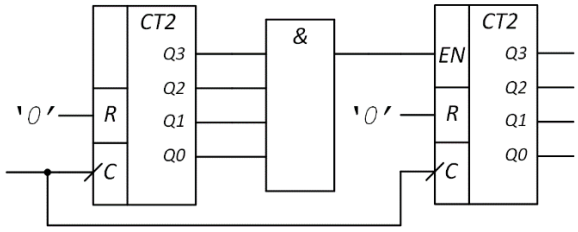
Вопрос 2. По приведенной таблице истинности синтезируйте комбинационную логику для вывода сигналов F1 и F0 и опишите фрагментом кода на языке VHDL.

X2	X1	X0	F1	F0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	1	0

Ответ:

```
F1 <= X2;
F2 <= (not X2 and X0) or (X1 and not X0) or (X2 and not X1 and not X0);
```

Вопрос 3. Какое значение покажет выходной счетчик после 20-ти тактовых импульсов?



1. Q[3..0] = "0000"
2. **Q[3..0] = "0001"** ✓
3. Q[3..0] = "0010"
4. Q[3..0] = "1000"

(один вариант)

Вопрос 4. Сигналы в VHDL объявляются Внутренние сигналы логической схемы объекта в VHDL объявляются в ...

1. Интерфейсе объекта ("entity")
2. **архитектуре объекта ("architecture")** ✓
3. В разделе конфигурации объекта ("configuration")
4. Вне перечисленных разделов

(один вариант)

Вопрос 5. Комментарии в языке VHDL обозначаются символами:

1. **-- двойной дефис** ✓
2. // двойная косая черта
3. % символ процента
4. /* выделение косой чертой со звездочкой */

(один вариант)

Вопрос 6. Какой из фрагментов кода правильно описывает синхронный D-триггер?

1. process(clk) begin if(clk'event and clk = '1') then q <= not d; end if; end process;
2. **process(clk); begin if(clk'event and clk = '1') then q <= d; end if; end process** ✓
3. process(d); begin if(clk'event and clk = '1') then q <= d; end if; end process
4. process(d); begin if(rising_edge(d)) then q <= not d; end if; end process

(один вариант)

Вопрос 7. В приведенном коде В приведенном коде реверсивного счетчика какое изменение нужно

внести, чтобы счетчик тактировался спадающим фронтом? process(clk, EN, DIR) begin if(EN = '1') then if(clk'event and clk = '1') then if(DIR = '1') then if(Q = 9) then Q <= 0; else Q <= Q+1; end if; else if(Q = 0) then Q <= 9; else Q <= Q-1; end if; end if; end if; end if; end process;

1. **if(clk'event and clk = '0') then ✓**
2. **if(falling_edge(clk)) then ✓**
3. if(rising_edge(clk)) then
4. if(DIR = '0') then

(возможно нескольких вариантов)

Вопрос 8. Правильность схем и кода в проекте проверяется на этапе компиляции:

1. **Analysis & Synthesis ✓**
2. Fitter
3. Assembler
4. Timing Analysis

(один вариант)

Вопрос 9. 8-ми битный цифровой сигнал передается по шине S[7..0]. Для выделения из нее старших четырех бит необходимо присоединить шину с наименованием ...

Ответ (короткий):

✓ Правильный ответ: **S[7..4]**

Вопрос 10. Для ввода/вывода сигналов в проекте на внешние порты ПЛИС назначение этих портов осуществляется в инструменте...

1. Chip planner
2. **Pin planner ✓**
3. **Assignment editor ✓**
4. Design partition planner

(возможно нескольких вариантов)